

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ

«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ»

ФАКУЛЬТЕТ ІНФОРМАТИКИ ТА ОБЧИСЛЮВАЛЬНОЇ ТЕХНІКИ

КАФЕДРА ОБЧИСЛЮВАЛЬНОЇ ТЕХНІКИ

ЛАБОРАТОРНА РОБОТА №8

З КУРСУ

«ТЕХНОЛОГІЯ ПРОЕКТУВАННЯ КОМП’ЮТЕРНИХ СИСТЕМ»

Виконав:

студент IV курсу

групи ІО-21

Журо Георгій Олександрович

Київ – 2015

**Тема:** Моделювання логічних схем у середовищі Active-HDL.

**Мета:** Здобуття навичок з функціонального моделювання логічних схем у середовищі Active-HDL.

**Завдання:**

1. Створити нове робоче середовище (Workspace) в Active-HDL.
2. Створити VHDL-проект.
3. Завантажити VHDL-спеціфікацію з попередньої роботи (Лаб.7)
4. Перевірити коректність функцій переходів і збудження тригерів у редакторі Waveform Editor.
5. Результати занотувати в протокол.

**Опис програми:**

Було створене нове робоче середовище в Active-HDL та VHDL-проект. Було завантажено VHDL-специфікацію з попередньої роботи.

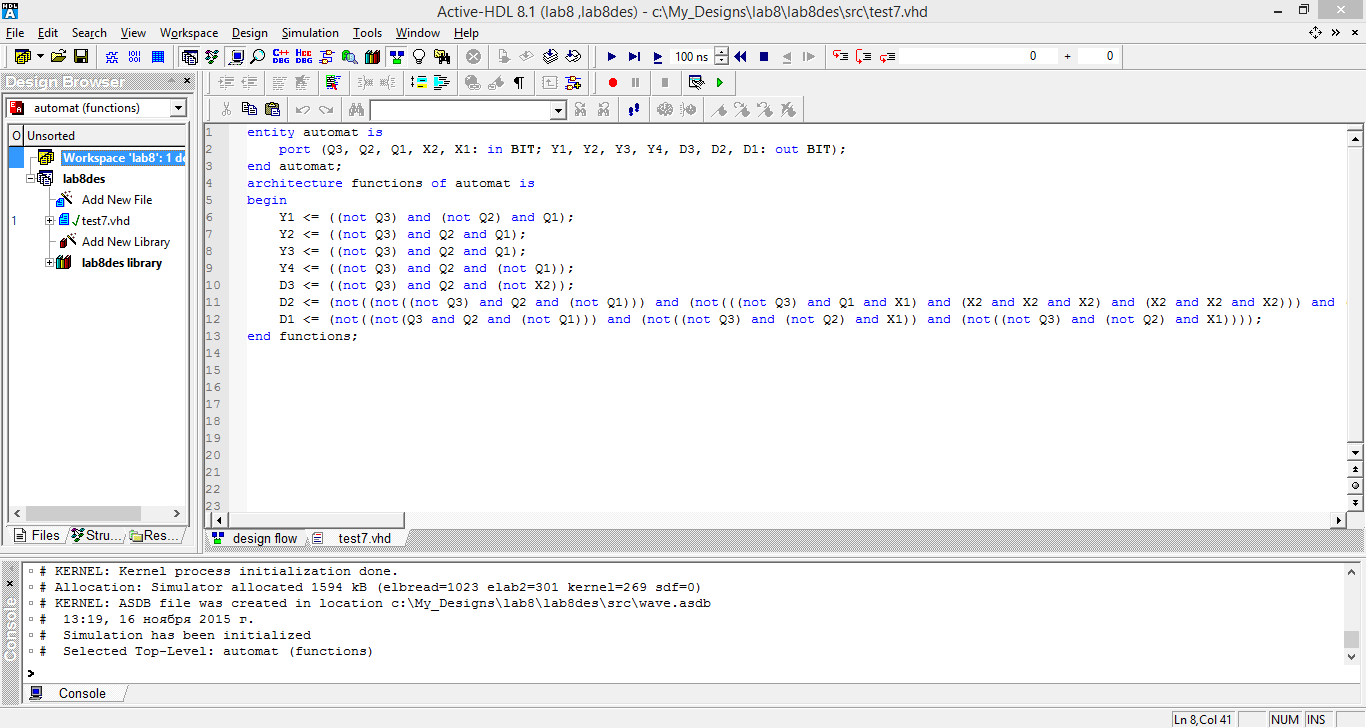


Рис. 1. Нове робоче середовище із завантаженою VHDL-специфікацією

Специфікація була скомпільована. Результати компіляції представлені на рисунку 2.

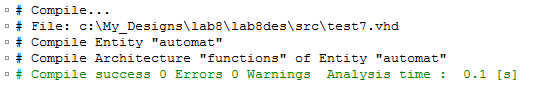


Рис. 2. Результати компіляції завантаженої VHDL-специфікації

Був ініціалізований режим Simulation. Всі змінні були додані до часової діаграми (Waveform).

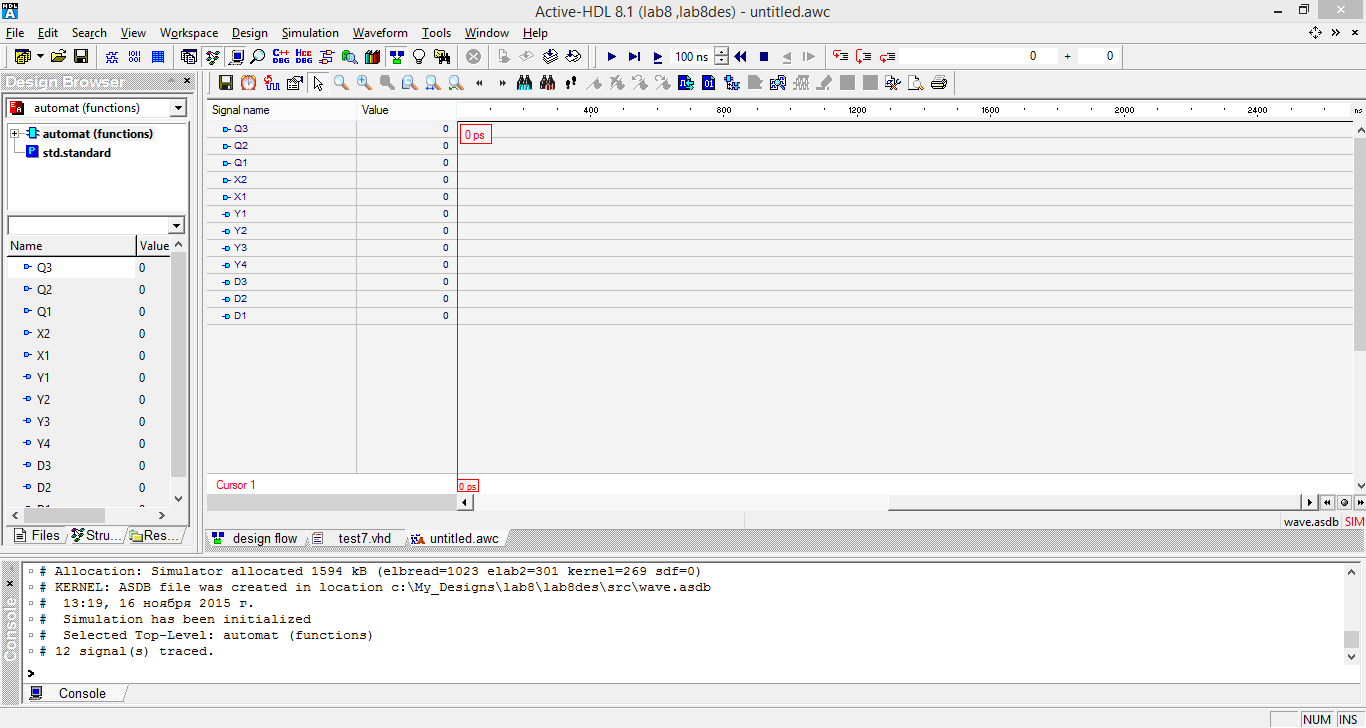


Рис. 3. Робоче середовище з часовою діаграмою

Для всіх вхідних змінних були додані формули генерації їх значень.

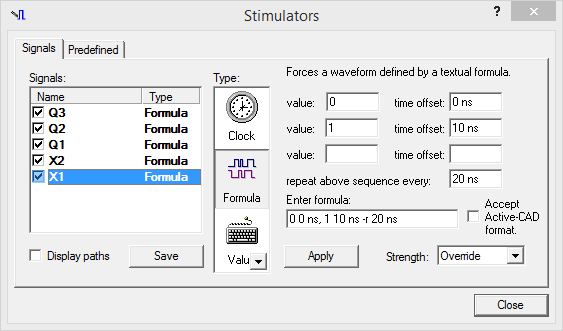
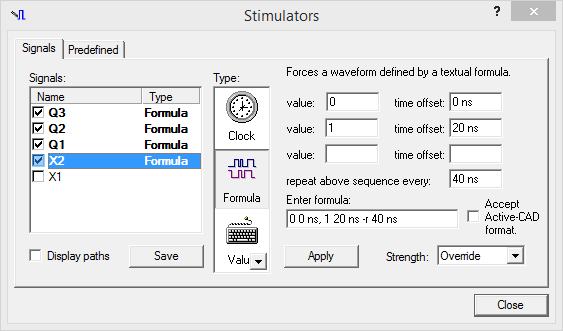
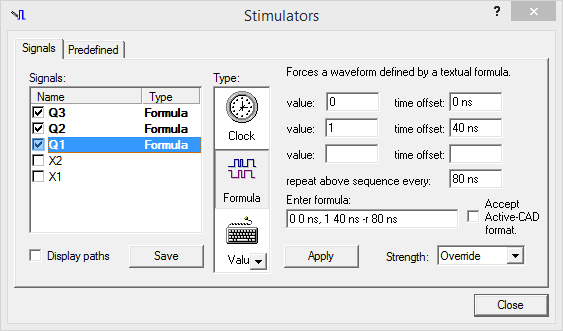
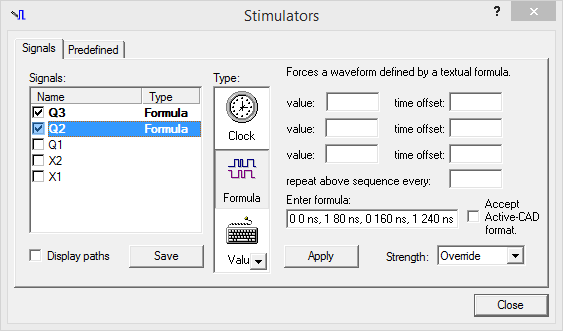
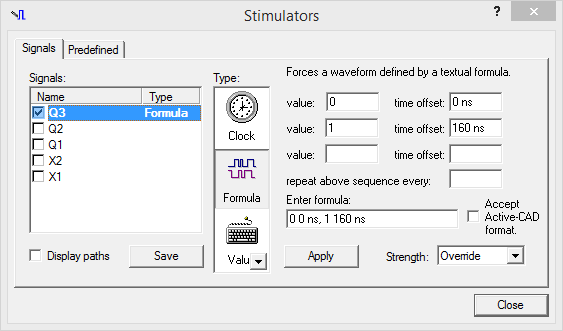


Рис. 4. Формули генерації значень вхідних змінних

Було промодельовано роботу схем для всіх наборів значень вхідних параметрів.

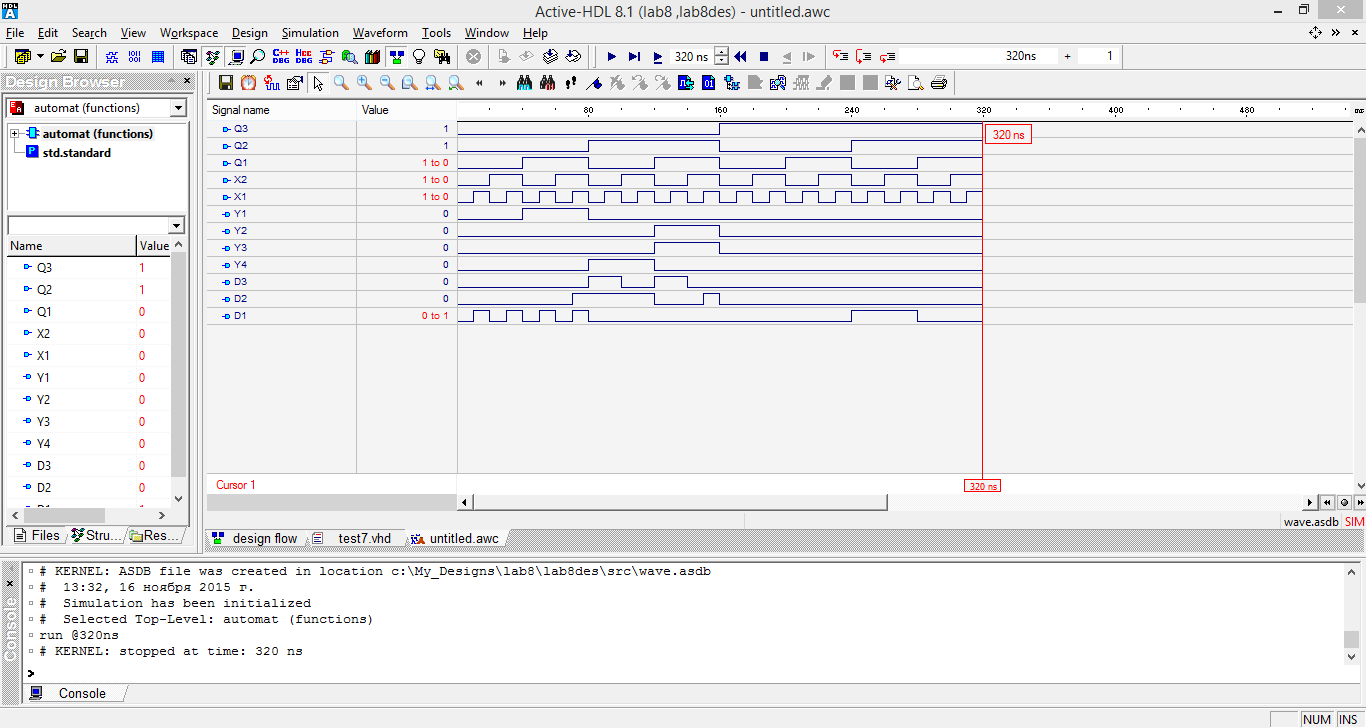


Рис. 5. Результати моделювання

Для перевірки результатів моделювання використаємо таблицю побудовану за допомогою програми з лабораторної роботи 5.

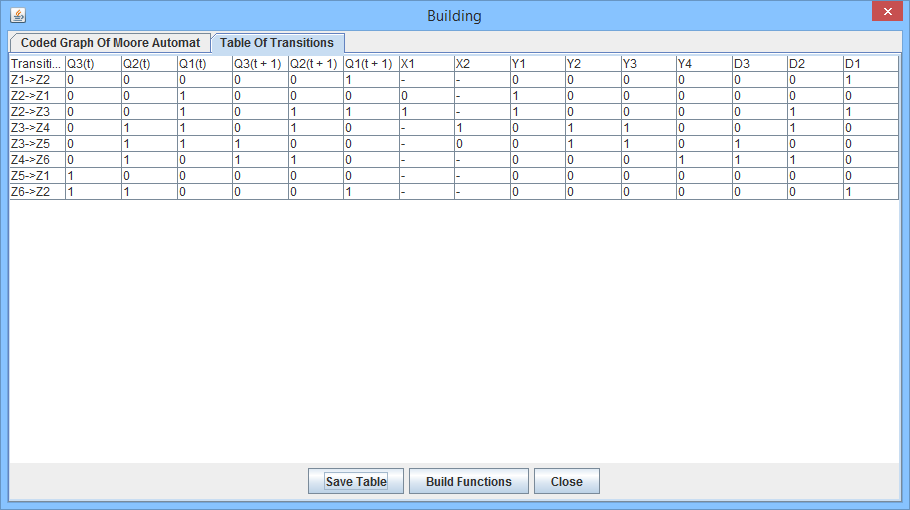


Рис. 6. Таблиця переходів

Після порівняння табличних значень та результатів моделювання, можемо зробити висновок, що побудова функцій, їх мінімізація та приведення до елементного базису були зроблені правильно.

**Висновки:** У результаті виконання даної лабораторної роботи я здобув навички з функціонального моделювання логічних схем у середовищі Active-HDL. Я навчився створювати VHDL-проекти, завантажувати VHDL-специфікації до робочого середовища в Active-HDL. Також я здобув навички генерації часових діаграм в середовищі Active-HDL. Мною було перевірено за допомогою часових діаграм правильність автоматизації побудови, мінімізації та приведення до елементного базису булевих функцій з попередніх лабораторних робіт.